

A.P

R E P U B L I Q U E

F R A N C E

0 9 / 7 4 4 2 9 6

PCT/FR 99 / 0 1 7 6 8

4



FR 99 / 1 7 6 8

REC'D 09 AUG 1999

WIPO

PCT

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 26 JUL. 1999

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS Cédex 08
Téléphone : 01 53 04 53 04
Télécopie : 01 42 93 59 30

This Page Blank (uspto)

BREVET D'INVENTION, CERTIFICAT D'UTILITE

Code de la propriété intellectuelle-Livre VI

cerfa
N° 55-1328

REQUÊTE EN DÉLIVRANCE

Confirmation d'un dépôt par télécopie ☐

Cet imprimé est à remplir à l'encre noire en lettres capitales

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : (1) 42.94.52.52 Télécopie : (1) 42.93.59.30

Réservé à l'INPI

DATE DE REMISE DES PIÈCES

30 JUIL 1998

N° D'ENREGISTREMENT NATIONAL

98 09744 -

DÉPARTEMENT DE DÉPÔT

DATE DE DÉPÔT

30 JUIL. 1998

1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE
À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉEBrigitte RUELLAN-LEMONNIER
THOMSON multimédia
46 Quai Alphonse le Gallo
92648 BOULOGNE cedex

2 DEMANDE Nature du titre de propriété industrielle

☒ brevet d'invention☐ demande divisionnaire☐ certificat d'utilité☐ transformation d'une demande
de brevet européen

demande initiale

☐ brevet d'invention

n° du pouvoir permanent : 6076

références du correspondant
PF980052téléphone
0141865277

Établissement du rapport de recherche

☐ différé☒ immédiat

Le demandeur, personne physique, requiert le paiement échelonné de la redevance

☐ oui☒ non

Titre de l'invention (200 caractères maximum)

PROCÉDE DE RECUPERATION D'HORLOGE LORS DE L'ECHANTILLONNAGE DE SIGNAUX
DE TYPE NUMERIQUE

3 DEMANDEUR (S)

n° SIREN 3.3.3.7.7.3.1.7.4

code APE-NAF

Nom et prénoms (souligner le nom patronymique) ou dénomination

THOMSON multimédia

Forme juridique

S.A.

Nationalité (s) Française

Adresse (s) complète (s)

Pays

46 Quai Alphonse le Gallo
92100 BOULOGNE BILLANCOURT

FRANCE

En cas d'insuffisance de place, poursuivre sur papier libre ☐

4 INVENTEUR (S) Les inventeurs sont les demandeurs

☐ oui☒ non

Si la réponse est non, fournir une désignation séparée

5 RÉDUCTION DU TAUX DES REDEVANCES

☐ requise pour la 1ère fois☐ requise antérieurement au dépôt ; joindre copie de la décision d'admission

6 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE

pays d'origine

numéro

date de dépôt

nature de la demande

7 DIVISIONS antérieures à la présente demande n°

date

n°

date

8 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE

(nom et qualité du signataire - n° d'attribution)

Brigitte RUELLAN-LEMONNIER

SIGNATURE DU PRÉPOSÉ À LA RÉCEPTION

SIGNATURE APRES ENREGISTREMENT DE LA DEMANDE À L'INPI



BREVET D'INVENTION, CERTIFICAT D'UTILITE

DÉSIGNATION DE L'INVENTEUR

(si le demandeur n'est pas l'inventeur ou l'unique inventeur)

DIVISION ADMINISTRATIVE DES BREVETS

26bis, rue de Saint-Petersbourg

75800 Paris Cédex 08

Tél. : (1) 42 94 52 52 - Télécopie : (1) 42 93 59 30

N° D'ENREGISTREMENT NATIONAL

9803744

TITRE DE L'INVENTION :

PROCEDE DE RECUPERATION D'HORLOGE LORS DE L'ECHANTILLONAGE DE
SIGNAUX DE TYPE NUMERIQUE

LE (S) SOUSSIGNÉ (S)

THOMSON muléimédia

DÉSIGNE (NT) EN TANT QU'INVENTEUR (S) (indiquer nom, prénoms, adresse et souligner le nom patronymique) :

M; Pierrick JOUET

domicilié à :

46 Quai Alphonse Le Gallo

92100 BOULOGNE BILLANCOURT

NOTA : A titre exceptionnel, le nom de l'inventeur peut être suivi de celui de la société à laquelle il appartient (société d'appartenance) lorsque celle-ci est différente de la société déposante ou titulaire.

Date et signature (s) du (des) demandeur (s) ou du mandataire

Boulogne, le 28 juillet 1998

Brigitte RUELLAN-LEMONNIER

La présente invention concerne un procédé de récupération d'horloge lors de l'échantillonnage de signaux de type numérique, plus particulièrement un procédé permettant de récupérer l'horloge lors de l'échantillonnage de signaux vidéos issus d'un dispositif informatique tel qu'une carte graphique.

L'échantillonnage de signaux vidéos issus d'une source analogique est bien connu. Il utilise le théorème de Shannon-Nyquist. D'après ce théorème, si la bande passante d'un signal est limitée à un domaine de fréquence tel que $[0, F_{\max}]$, il est nécessaire et suffisant d'échantillonner ce signal à une fréquence minimale $2 \times F_{\max}$ pour être capable de le reconstruire à partir de ces échantillons. Cette contrainte se traduit par l'introduction de filtres passe-bas qui ont pour but de limiter le spectre des signaux avant échantillonnage. Dans ce cas, la phase du signal d'horloge n'a pas d'importance dans le processus d'échantillonnage. En effet, un même signal échantillonné par deux horloges de même fréquence mais déphasé contient les mêmes informations à un retard constant près.

Il n'en est pas de même lorsque l'on doit échantillonner des signaux vidéos issus d'un dispositif informatique, à savoir des signaux d'origine numérique. En effet, le spectre de ces signaux est très large et ils sont destinés à être visualisés avec une résolution la plus élevée possible. En conséquence, la bande passante ne doit pas être limitée, car il y aurait une perte de finesse. Or, si l'on doit injecter des signaux de ce type dans un dispositif qui comporte un étage d'échantillonnage, l'on est confronté aux problèmes suivants :

- Si l'on filtre le signal incident pour limiter sa bande passante et satisfaire aux critères de Nyquist, la réponse du filtre à des signaux de type numérique présentant des transitions raides entraînera des suroscillations très préjudiciables à la netteté des caractères.

- Si l'on filtre peu le signal incident pour éviter la suroscillation, l'atténuation apportée aux composantes fréquentielles sera insuffisante pour éviter un repliement de spectre également préjudiciable.

- Si l'on échantillonne sans filtrage préalable le signal incident, il est impératif d'adopter non seulement la fréquence exacte qui a servi à

généraler le signal, mais également une phase d'échantillonnage correspondant au milieu de chaque palier.

5 Le problème est d'autant plus complexe qu'il n'existe pas de standard fixe prédéfini dans ce domaine. En effet, pour l'affichage de signaux vidéos issus d'une carte graphique, seuls sont définis le nombre de pixels actifs par ligne de la source et le nombre de lignes actives par image de la source. En conséquence, le nombre total de pixels par ligne, le nombre total de lignes ainsi que la fréquence-image et la fréquence-
10 pixel ne sont pas normalisés. De même, la phase du premier pixel actif par rapport au front de l'horloge de synchronisation n'est pas définie, ni en ligne ni en image.

En conséquence, la présente invention a pour but de proposer
15 un procédé permettant de récupérer de façon automatique les paramètres de fréquence et de phase de l'horloge d'échantillonnage dans le cas de l'échantillonnage de signaux de type numérique, plus particulièrement de signaux vidéos issus d'un dispositif de type informatique.

20 La présente invention s'appuie sur le fait que pour être correctement échantillonnée, une information entrante doit être en phase avec un des fronts, plus particulièrement le front descendant, de l'horloge d'échantillonnage, la réalisation de ces critères en différents points d'une même ligne impliquant une valeur correcte de la fréquence.

25 En conséquence, la présente invention a pour objet un procédé de récupération d'horloge lors de l'échantillonnage de signaux de type numérique, l'horloge d'échantillonnage étant générée à partir d'une boucle à verrouillage de phase ou PLL qui multiplie une fréquence donnée
30 par un nombre entier ou rang de division, caractérisé en ce qu'il comporte une étape de comparaison de la position relative des signaux de type numérique par rapport à l'horloge d'échantillonnage, de manière à déterminer si un type de transition choisi de l'horloge d'échantillonnage est en phase avec le même type de transition des signaux de type
35 numérique,

- en élaborant sur une période de l'horloge d'échantillonnage plusieurs zones, une zone correspondant au type de transition choisi,

- en analysant les transitions des signaux de type numérique par rapport aux transitions montante et descendante de l'horloge d'échantillonnage,

5 d'analyse et,

- en accumulant dans la zone correspondante les résultats

- en déterminant en fonction des accumulations si une modification ou non de la fréquence et/ou de la phase de l'horloge d'échantillonnage doit être réalisée.

10 Selon une autre caractéristique de la présente invention, l'étape d'analyse est précédée par une étape de mise en forme des signaux de type numérique en signaux logiques.

De préférence, le type de transition choisi est la transition descendante.

15 Selon un mode de réalisation préférentiel pour réaliser l'analyse des transitions, on élabore quatre zones avec une zone correspondant à une transition montante, une zone correspondant à une transition descendante, une zone correspondant à un palier haut et une zone correspondant à un palier bas, l'analyse étant réalisée à l'aide de deux
20 fenêtres correspondant respectivement aux transitions montante et descendante de l'horloge d'échantillonnage.

De préférence, les résultats des accumulations sont exploités de la façon suivante :

25 a) toutes les informations sont dans la zone correspondant au type de transition choisi, les signaux de type numérique sont en phase et en fréquence avec l'horloge d'échantillonnage ;

b) les informations sont dans deux zones non-adjacentes, il y a une erreur de fréquence entre les signaux de type numérique et l'horloge d'échantillonnage ;

30 c) les informations sont dans deux zones adjacentes ou dans une seule zone différente de la zone correspondant au type de transition choisi, il y a une erreur de phase entre les signaux de type numérique et l'horloge d'échantillonnage. Les valeurs relatives dans deux zones différentes ou la valeur
35 des informations dans une zone différente de la zone correspondant au type de transition choisi déterminent alors

le sens et l'amplitude de la correction de phase ou de fréquence à appliquer sur l'horloge d'échantillonnage.

La présente invention concerne aussi un dispositif pour la mise
5 en oeuvre du procédé mentionné ci-dessus, ce dispositif comportant
essentiellement un circuit électronique programmable effaçable recevant
les signaux de type numérique en entrée ainsi qu'un circuit de génération
de fenêtre envoyant des signaux déterminant la position des différentes
10 zones sur le circuit électronique programmable effaçable, ledit circuit
électronique programmable effaçable délivrant en sortie un signal d'erreur
de phase envoyé sur un circuit à modulation de largeur d'impulsion dont
la sortie agit sur la PLL.

D'autres caractéristiques et avantages de la présente invention
15 apparaîtront à la lecture faite ci-après d'un mode de mise en oeuvre
préférentiel avec référence aux dessins ci-annexés dans lesquels :

la figure 1 est un synoptique d'un dispositif conforme à la
présente invention,

la figure 2 représente les différents tests réalisés
20 conformément au procédé de la présente invention,

la figure 3 représente un synoptique du circuit logique
programmable effaçable ou EPLD, et

la figure 4 est une représentation de la machine d'état
permettant d'implémenter dans le circuit logique programmable effaçable
25 ou EPLD le procédé de la présente invention.

Pour simplifier la description dans les figures, les mêmes
éléments portent les mêmes références.

Le circuit représenté à la figure 1 permet d'analyser la position
des informations entrantes, à savoir des signaux de type numérique
30 DATA IN par rapport à l'horloge CK issue de la boucle à verrouillage de
phase ou PLL 1. Pour mettre en oeuvre cette analyse, les signaux de type
numérique DATA IN sont envoyés sur un circuit de réception 2
comportant de manière connue un amplificateur. En sortie de ce circuit 2,
les signaux de type numérique sont mis en forme pour obtenir des
35 signaux logiques, plus particulièrement des signaux de type TTL. Les
circuits de mise en forme comportent plus particulièrement un
différentiateur 3 constitué de manière connue d'une capacité C3 et d'une

résistance R3. La capacité C3 est montée en série entre la sortie du circuit de réception 2 et la sortie du différentiateur 3, la résistance R3 étant montée entre le point de sortie du différentiateur 3 et la masse. Le différentiateur est suivi d'un circuit de mise en forme proprement dit

5 formé essentiellement d'un comparateur COMP4 recevant sur son entrée positive la sortie du différentiateur 3 et sur son entrée négative une tension de comparaison V_{seuil} fixée à une tension positive proche de 0V. D'autre part, pour éviter un déclenchement intempestif du comparateur en présence de signaux issus du différentiateur dont le niveau est égal à

10 V_{seuil} , la sortie inversée du comparateur COMP4 est rebouclée par l'intermédiaire d'une résistance R4 sur l'entrée positive dudit comparateur. Les signaux logiques DATA issus du circuit de mise en forme 4 sont envoyés sur un circuit d'analyse ou circuit logique programmable effaçable EPLD 5. Ce circuit sera décrit en détail ci-après.

15 D'autre part, la boucle à verrouillage de phase ou PLL 1 reçoit un signal de synchronisation H IN. Ce signal de synchronisation passe à travers un circuit de réception 7 de type connu comportant essentiellement un transistor FET T7 et une capacité C7 montée en parallèle sur la sortie dudit transistor. De ce fait, le signal H IN charge la

20 capacité à travers ledit transistor T7 et on obtient en sortie un signal tel que représenté en 8 avec le front montant du signal, image de la charge de la capacité ayant une forme exponentielle. Ce signal 8 est envoyé en entrée d'un circuit de mise en forme 9 constitué par un comparateur COMP9. Ce signal 8 est appliqué sur la borne négative du comparateur

25 tandis que la borne positive reçoit un signal issu d'un circuit de filtrage 10 qui reçoit en entrée un signal PWM pour "Pulse Width Modulation" dont l'obtention sera expliquée ultérieurement. Ainsi une variation du signal sur l'entrée positive du comparateur COMP9 permet de retarder le signal servant de référence à la PLL1 et par la même de modifier la phase

30 de l'horloge CK. La PLL1 est un circuit classique intégrant un comparateur de phase et un oscillateur contrôlé en tension ou VCO. En sortie de la PLL1 est prévu un circuit 6 permettant d'élaborer les zones d'analyse, à savoir les fenêtres. Ce circuit pourrait être intégré dans l'EPLD 5. Le circuit 6 est un circuit constitué de circuits à retard D et de

35 différentes portes logiques permettant de générer des fenêtres FEN1 et FEN2 en logique combinatoire à partir de l'horloge CK et de réaliser ainsi les quatre zones d'analyse, à savoir la zone 1 qui correspond à un palier

haut, la zone 2 qui correspond à un palier bas, la zone 3 qui correspond à une transition montante et la zone 4 qui correspond à une transition descendante, comme représenté dans la partie haute de la figure 2. En fait, de la largeur des fenêtres FEN1 et FEN2 centrées autour des transitions montante et descendante va dépendre la précision du système. Ainsi, plus la fenêtre FEN2, correspondant à la transition descendante sera étroite, plus le système sera précis.

Le procédé de récupération d'horloge conforme à la présente invention consiste donc à analyser les transitions des signaux de type numérique DATA par rapport aux transitions montante et descendante de l'horloge CK. Comme mentionné ci-dessus, cette analyse est réalisée en utilisant les fenêtres FEN1 et FEN2 qui permettent de déterminer des zones d'analyse, à savoir les zones 1, les zones 2, les zones 3 et les zones 4. Ainsi, pendant un temps d'analyse déterminé, on accumule dans les différentes zones l'information de phase entre les signaux logiques DATA et les différentes zones. A la fin du temps déterminé, les résultats de l'accumulation sont exploités pour en déduire une éventuelle correction de phase et/ou de fréquence. Les répartitions possibles dans les différentes zones sont représentées à la figure 2. Si toutes les informations accumulées se trouvent dans la zone 4, à savoir la zone de la transition descendante, comme symbolisé par AR4 sur la figure 2, on en déduit que le signal CK est en phase avec les signaux logiques DATA et aucune action sur la phase n'est réalisée. Si des informations se trouvent uniquement dans la zone 1, à savoir la zone de palier haut, comme représenté par AR1 sur la figure 2, on en déduit qu'une diminution de phase doit être réalisée. De même, si des informations sont prévues dans la zone 1 (AR1) et dans la zone 3 (DEP3) mais que le niveau de cumul est atteint dans la zone 1 (AR1). Il en est ainsi aussi lorsque des informations sont présentes dans la zone 1 et dans la zone 4 mais que le cumul est atteint dans la zone 1 ou que des informations sont présentes dans la zone 1 et dans la zone 4 et que le cumul est atteint dans la zone 4 ou encore que des informations sont présentes dans la zone 3 et dans la zone 1 et que le cumul est atteint dans la zone 3. Ceci est symbolisé par ARi pour le niveau de cumul atteint dans une zone et DEPi pour la présence d'information dans une zone.

A l'inverse, on réalisera une augmentation du déphasage lorsque les résultats d'accumulation suivants sont atteints. Les informations ne sont présentes que dans la zone 2, à savoir la zone de palier bas. Des informations sont présentes dans la zone 4 et dans la zone 2 mais le cumul est atteint dans la zone 2. Des informations sont présentes dans la zone 2 et dans la zone 3, le niveau de cumul étant atteint dans la zone 2. Des informations sont présentes dans la zone 4 et dans la zone 2, le niveau de cumul étant atteint dans la zone 4. Des informations sont présentes uniquement dans la zone 3 avec un niveau de cumul atteint dans cette zone et des informations sont présentes dans la zone 2 et dans la zone 3 avec le niveau de cumul atteint dans la zone 3.

Une action sur la fréquence sera effectuée lorsque des informations seront présentes dans deux zones non-adjacentes. Ainsi comme représenté dans le bas de la figure 2, des informations peuvent être présentes dans la zone 1 et dans la zone 2 sans atteindre le niveau de cumul ou des informations peuvent être présentes dans la zone 1 et dans la zone 2 avec un niveau de cumul atteint dans la zone 2 ou des informations peuvent être présentes dans la zone 1 et dans la zone 2 avec un niveau de cumul atteint dans la zone 2. Le niveau de cumul peut être atteint à la fois dans la zone 1 et dans la zone 2, les informations peuvent être présentes dans la zone 3 et dans la zone 4 sans niveau de cumul atteint. Les informations peuvent être présentes dans la zone 3 et dans la zone 4 avec un niveau de cumul atteint dans la zone 4. Des informations peuvent être présentes dans la zone 3 et dans la zone 4 avec un niveau de cumul atteint dans la zone 3 et des informations peuvent être présentes dans la zone 3 et dans la zone 4 avec le niveau de cumul atteint dans les zones 3 et 4.

30

Le procédé ci-dessus peut être mis en oeuvre dans un circuit logique programmable EPLD tel que représenté sur la figure 3 en utilisant une machine d'état dont une représentation symbolique est donnée à la figure 4. L'accumulation de l'information de phase est effectuée dans quatre compteurs CPTZ1, CPTZ2, CPTZ3, CPTZ4, qui accumulent le nombre de transitions par zone. Ces compteurs reçoivent en entrée les signaux FEN2 et FEN1, le signal d'horloge CK et le signal d'horloge

35

inversé CKB. Ils reçoivent aussi les signaux logiques DATA. Chaque comptage est initialisé et autorisé par l'état S2 de la machine d'état. Cet état est l'état d'initialisation des signaux ar et incf en régime normal. Dans cet état, ar signifiant l'autorisation d'accumulation des informations

5 au niveau des compteurs DECODAGEZ1, DECODAGEZ2, DECODAGEZ3, DECODAGEZ4 est à zéro, incf = 0 et signifie que l'impulsion qui sert à déterminer l'incrément de fréquence est remis à zéro et pwm_dec signifie que l'état du circuit PWM_DEC est maintenu dans l'état précédent. Le signal ARi signifiant que le niveau de cumul est atteint dans une zone, est

10 activé dès que l'un des compteurs CPTZ1, CPTZ2, CPTZ3 et CPTZ4 atteint une valeur finale autorisant ainsi les tests. Le signal DEPi signifiant que des informations sont présentes dans une zone i sera actif si, durant l'analyse, le compteur associé à la zone concernée a quitté son état initial. Cette analyse est réalisée dans les circuits référencés DECODAGE

15 Z1, DECODAGE Z2, DECODAGE Z3, DECODAGE Z4. Ensuite, une zone de test permet de réaliser les tests mentionnés avec référence à la figure 2, à savoir le TEST 4 maintenant la phase, le TEST 3 réalisant une diminution du déphasage, le TEST 2 réalisant une augmentation du déphasage et le TEST 1 entraînant une action sur la fréquence dès que

20 l'état ARi est atteint. En fonction du résultat, le traitement s'orientera soit vers une action de phase, soit vers une action de fréquence. Ainsi, comme représenté sur la figure 3, la sortie du test TEST1 correspondant au fait que lorsqu'un circuit plus particulièrement un compteur DECODAGEZi a atteint le niveau d'accumulation, des informations sont

25 présentes dans des zones qui ne sont pas adjacentes, passe par l'état S6 de la machine d'état correspondant à tempo = 1, incf = 1, pwm_dec = pwm = init, ce qui signifie que l'information de fréquence est fausse et la temporisation est armée et est envoyée sur un compteur CPTINCF pour réaliser ultérieurement une action sur la fréquence, tandis que les sorties

30 des TEST 2, TEST 3 et TEST 4 à travers respectivement les états S5, S4, S3 sont envoyés sur un circuit PWM DEC permettant de réaliser un comptage ou un décomptage pour une action sur la phase. De manière plus spécifique, la valeur issue du TEST 2 signifiant que lorsqu'un compteur DECODAGEZi a atteint le niveau d'accumulation, des

35 informations sont présentes dans des zones adjacentes, est envoyée sur l'entrée comptage "up", la valeur issue du TEST 3 signifiant que lorsqu'un compteur DECODAGEZi a atteint le niveau d'accumulation, des

informations sont présentes dans des zones adjacentes, est envoyée sur l'entrée décomptage "down" tandis que la valeur issue du TEST 4 signifiant que lorsque le compteur DECODAGEZ4 a atteint le niveau d'accumulation, aucune information n'est présente dans des zones adjacentes, ne modifie pas la valeur du compteur/décompteur PWM_DEC. De plus, le compteur/décompteur PWM_DEC est chargé sur son entrée "load" par les états S1 et S6 et est déclenché par l'information DATA, comme expliqué ultérieurement.

De manière plus détaillée, les différents états Si de la machine d'état représentée à la figure 4 correspondent aux états suivants :

S1 : état d'initialisation de la machine d'état. On accède à S1 à la mise sous tension du système.

S2 : état d'initialisation des signaux ar et incf en régime normal. A chaque fois que l'on passe par S2, ar et incf sont remis à 0.

S3 : lorsque l'on est dans cet état, les informations de phase et de fréquence sont correctes. La temporisation est armée.

S4 : lorsque l'on est dans cet état, l'information de fréquence est correcte mais pas celle de phase. Il est nécessaire de diminuer le déphasage. La temporisation est armée.

S5 : lorsque l'on est dans cet état, l'information de fréquence est correcte mais pas celle de phase. Il est donc nécessaire d'augmenter le déphasage. La temporisation est armée.

S6 : lorsque l'on est dans cet état, l'information de fréquence est fausse et la temporisation est armée.

S7 : lorsque l'on est dans cet état, le signal ar est mis à 1 et incf à 0. Le compteur pwm_dec[] est maintenu dans son état précédent.

S8 : lorsque l'on est dans cet état, le signal ar est mis à 1 et incf à 0. Le compteur pwm_dec[] est maintenu dans son état précédent. En fait, cet état est redondant avec S7 et peut être supprimé.

Conformément à la présente invention, le contrôle de la phase est réalisé en utilisant une modulation de largeur d'impulsion ou PWM. Le signal PWM-OUT généré par le circuit EPLD 5 possède un rapport cyclique variable. De ce signal est extrait par un filtre passe-bas tel que le circuit 10 constitué de manière connue d'une résistance R10 et d'une capacité C10, une composante continue. Le résultat en sortie du filtre 10 est donc une tension continue directement proportionnelle au rapport cyclique du signal. A la place d'un circuit de modulation de largeur

d'impulsion, on peut aussi utiliser un convertisseur numérique/analogique série. Ainsi, une modification du rapport cyclique induit une modification du seuil de recouplement du signal d'échantillonnage H IN et se traduit par une modification de la phase du signal en sortie de la PLL1. Comme

5 représenté sur la figure 3, le signal PWM est généré à l'aide de deux compteurs, le compteur/décompteur PWM DEC et le compteur PWM CPT qui est un compteur libre comptant entre 0 et 768 par exemple, et qui est initialisé par l'horloge CK. Le compteur/décompteur PWM DEC couvre la plage 0/255. Il est initialisé au démarrage par l'état S1 et à chaque

10 passage par l'état S6 de la machine d'état. Comme mentionné ci-dessus, l'activation des états S4 ou S5 détermine respectivement soit une incrémentation soit une décrémentation de la valeur précédente du compteur. Le rythme de commutation du compteur est synchrone des signaux DATA et a pour période maximale le cumul des temps d'analyse et de temporisation. Le passage par l'état S3 provoque le maintien de la

15 valeur précédente et le passage par l'état S6 impose le retour à la valeur initiale, soit un rapport cyclique de 50 %. Ce recentrage permet d'éviter un positionnement vers les extrémités qui se traduirait par un état d'instabilité, notamment lorsque le compteur est positionné en 255 et qu'un incrément le ramène à l'état 0. Les signaux issus des circuits PWM DEC et PWM CPT sont envoyés en entrée d'un comparateur COMP1 dont la sortie est envoyée sur un circuit T qui reçoit sur son autre entrée la

20 sortie d'un circuit de décodage DEC1 qui positionne le signal PWM OUT au niveau 1 lorsque le compteur PWM CPT atteint l'état 256. Le signal PWM OUT repasse à 0 lorsque les conditions suivantes sont réunies, à savoir le MSB du compteur PWM CPT est égal à 1 et l'égalité est réalisée entre les 7 bits de poids faibles du compteur PWM CPT et le compteur PWM DEC. Le circuit T permet de réaliser une temporisation du signal PWM OUT de manière à avoir le temps d'appliquer chaque modification

25 sur le déphaseur.

30

Conformément à la présente invention, la fréquence sera contrôlée par modification du nombre de points du diviseur servant à la PLL1. Dans le circuit EPLD 5, la gestion de la fréquence est réalisée en utilisant deux compteurs CPT PLL et CPT INCF. Le compteur CPT PLL

35 couvre, dans le mode de réalisation représenté, la plage 0,1279 et évolue à chaque transition de l'horloge CK. Il est chargé par l'état S1. Le compteur CPT INCF couvre la plage 0,127 dans le mode de réalisation de

la présente invention. Il est initialisé au démarrage par l'état S1 et son rythme de commutation sera synchrone du signal DATA et aura pour période maximale le cumul des temps d'analyse et de temporisation. Comme déjà mentionné, le compteur CPT INCF est incrémenté par une

5 impulsion INCA générée par l'activation de l'état S6 issu du TEST 1.

Dans la présente invention, la recherche de fréquence suit un principe différent de celui de la recherche de phase. Dans la recherche de phase, on réalise une sorte d'asservissement, tandis que la recherche de fréquence est de type empirique. Le point de départ est une valeur

10 correspondant au minimum de la plage de capture. Le compteur CPT INCF est incrémenté jusqu'à vérification des critères de phase. D'autre part, le compteur CPT PLL est remis à zéro lorsque les conditions suivantes sont réalisées : les quatre MSB du compteur CPT PLL sont égaux à «1000», l'égalité est réalisée entre les 6 bits de poids faible du

15 compteur CPT PLL et le compteur CPT INCF, cette dernière condition étant vérifiée à chaque cycle du compteur PWM CPT. De même que pour le compteur PWM_DEC, chaque modification de l'état du compteur CPT INCF est gardée pendant un temps minimum correspondant au temps de temporisation, ceci permet donc d'appliquer chaque modification sur le

20 diviseur. D'autre part, comme représenté sur la figure 3, la sortie du compteur CPT PLL est envoyée sur l'entrée d'un circuit de décodage DEC 2 qui reçoit aussi en entrée l'horloge CK et sur l'entrée d'un comparateur COMP2, qui reçoit sur son autre entrée la sortie du circuit CPT INCF de manière à réaliser les opérations de comparaison mentionnées ci-dessus.

25 Le comparateur COMP2 reçoit aussi l'horloge CK. La sortie du comparateur COMP2 est envoyée sur l'entrée inversée du compteur CPT PLL. D'autre part, la sortie du circuit de décodage DEC2 donne le signal H LOCK, signal de comparaison de la PLL, qui passe au niveau 1 lorsque le compteur CPT PLL atteint l'état 0. La récurrence de ce signal est

30 directement liée à la durée d'un cycle du compteur CPT PLL. D'autre part, le circuit EPLD de la figure 3 comporte des circuits permettant de générer l'état S8. L'état S8 permet le retour en S2 lorsque la temporisation est écoulée, comme représenté sur la figure 4. Pour cet état, l'information-horloge H, en entrée du circuit EPLD, est envoyée sur un intégrateur 11

35 donnant en sortie un signal FH. Ce signal est envoyé sur un circuit de temporisation qui est initialement chargé par les états S3, S4, S5, S6. La sortie du signal de temporisation est envoyée sur un circuit de décodage

DEC3 qui reçoit aussi en entrée l'horloge CK. La sortie du circuit de décodage est envoyée sur une bascule D commutée par le signal DATA CK et, de plus, la sortie du circuit de décodage est rebouclée en entrée du circuit de temporisation.

5

Différents modifications et perfectionnements peuvent être apportés au système décrit ci-dessus. Ainsi, l'autorisation du test dépend des états ARI obtenus lorsque l'un des compteurs d'accumulation atteint la valeur VAL FIN qui est fixée par exemple à la valeur 768. Dans ce cas, 10 il est possible de déterminer le temps d'accrochage du système. Ce temps est donné par l'équation suivante :

$$T = (F + P) \times ((\Sigma T_D) + 2 \times 10^{-3})$$

dans laquelle F représente le nombre d'incréments nécessaire pour obtenir la bonne fréquence et P représente le nombre d'incréments 15 nécessaire pour obtenir la bonne phase.

ΣT_D représente le temps nécessaire pour acquérir les 768 données.

En fait le temps maximal de convergence sera atteint lorsqu'il y aura un seul point par image. Pour une fréquence-image de 50 HZ et pour 20 une fréquence-point située au maximum de la gamme de rattrapage de fréquence et de phase, le temps T est égal à 72 minutes. Ce temps peut être fortement réduit en adaptant la valeur VAL FIN en fonction du débit d'entrée, à savoir en comptant les événements durant une image. D'autre part, en présence d'un seul point par image, les critères de convergence 25 de phase pourront être respectés, bien que la fréquence soit fausse. Pour une meilleure convergence, une solution simple consiste à utiliser à la fois les fronts montants et les fronts descendants de l'information. Dans ce cas, la précision est fonction de la largeur de l'impulsion et donc de la position en ligne des événements.

30 De plus, par détection de standard, à savoir comptage du nombre de lignes par image, il est possible de prépositionner le compteur CPT PLL à une valeur initiale telle que la fréquence obtenue, soit en limite-base de la gamme de rattrapage visée. Cette opération permettra donc d'optimiser la vitesse de convergence et de limiter les phénomènes 35 de sous ou sur-échantillonnage.

REVENDEICATIONS

1. Procédé de récupération d'horloge lors de l'échantillonnage
5 de signaux de type numérique, l'horloge d'échantillonnage étant générée
à partir d'une boucle à verrouillage de phase ou PLL (1) qui multiplie une
fréquence donnée par un nombre entier ou «rang de division», caractérisé
en ce qu'il comporte une étape de comparaison de la position relative des
10 signaux de type numérique par rapport à l'horloge d'échantillonnage de
manière à déterminer si un type de transitions choisi de l'horloge
d'échantillonnage est en phase avec le même type de transitions de
signaux de type numérique :
- en élaborant (6) sur une période de l'horloge
15 d'échantillonnage plusieurs zones, une zone correspondant au type de
transitions choisi,
 - en analysant (5) les transitions des signaux de type
numérique par rapport aux transitions montante et descendante de
l'horloge d'échantillonnage,
 - en accumulant dans la zone correspondante les résultats
20 d'analyse et,
 - en déterminant (10, 9) en fonction des accumulations si une
modification ou non de la fréquence et/ou de la phase de l'horloge
d'échantillonnage doit être réalisée.
- 25 2. Procédé selon la revendication 1, caractérisé en ce que
l'étape d'analyse est précédée par une étape de mise en forme des
signaux de type numérique en signaux logiques.
- 30 3. Procédé selon l'une quelconque des revendications 1 et 2,
caractérisé en ce que le type de transition choisi est la transition
descendante.
- 35 4. Procédé selon l'une quelconque des revendications 1 à 3,
caractérisé en ce que l'on élabore quatre zones avec une zone
correspondant à une transition montante, une zone correspondant à une
transition descendante, une zone correspondant à un palier haut et une
zone correspondant à un palier bas.

5. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que l'analyse est réalisée à l'aide de deux fenêtres correspondant respectivement aux transitions montante et descendante de l'horloge d'échantillonnage.

6. Procédé selon l'une quelconque des revendications 1 à 5, caractérisé en ce que les résultats des accumulations sont exploités de la façon suivante :

- 10 a) toutes les informations sont dans la zone correspondant au type de transitions choisi, les signaux de type numérique sont en phase et en fréquence avec l'horloge d'échantillonnage ;
- 15 b) les informations sont dans deux zones non-adjacentes, il y a une erreur de fréquence entre les signaux de type numérique et l'horloge d'échantillonnage ;
- 20 c) les informations sont dans deux zones adjacentes ou dans une seule zone différente de la zone correspondante au type de transitions choisi, il y a une erreur de phase entre les signaux de type numérique et l'horloge d'échantillonnage.

7. Procédé selon la revendication 6, caractérisé en ce que les valeurs relatives des informations dans deux zones différentes ou la valeur des informations dans une zone différente de la zone correspondant au type de transitions choisi déterminent le sens et l'amplitude de la correction de phase ou de fréquence à appliquer sur l'horloge d'échantillonnage.

8. Dispositif pour la mise en oeuvre du procédé selon l'une quelconque des revendications 1 à 7, caractérisé en ce qu'il comporte un circuit électronique programmable effaçable recevant les signaux de type numérique en entrée ainsi que des signaux pour déterminer la position des différentes zones, ledit circuit électronique programmable effaçable délivrant en sortie un signal d'erreur de phase envoyé sur un circuit à modulation de largeur d'impulsion dont la sortie agit sur la PLL.

9. Dispositif selon la revendication 8, caractérisé en ce que les signaux pour déterminer la position des différentes zones sont obtenus par un circuit en logique combinatoire traitant le signal issu de la PLL.

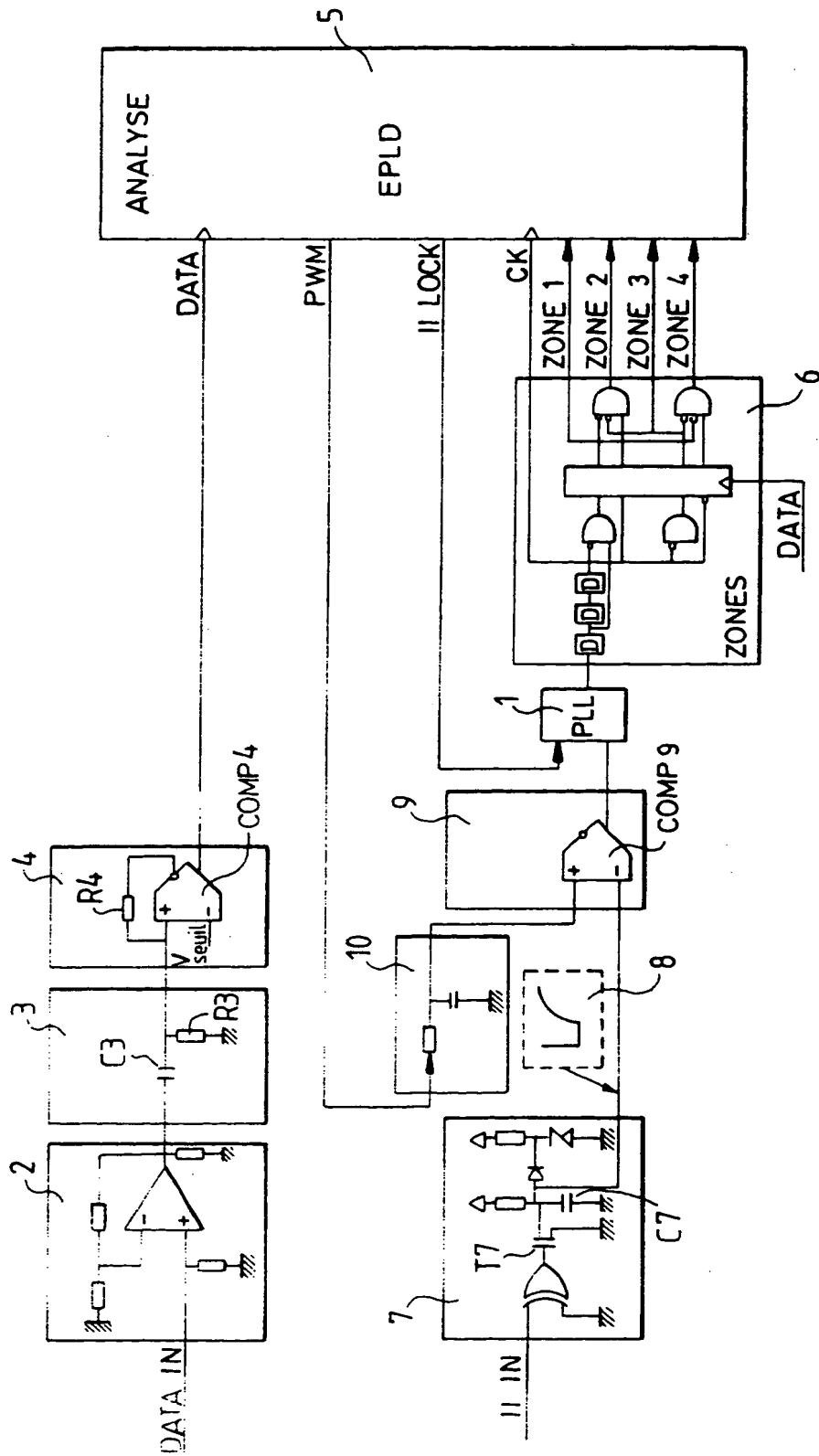


FIG. 1

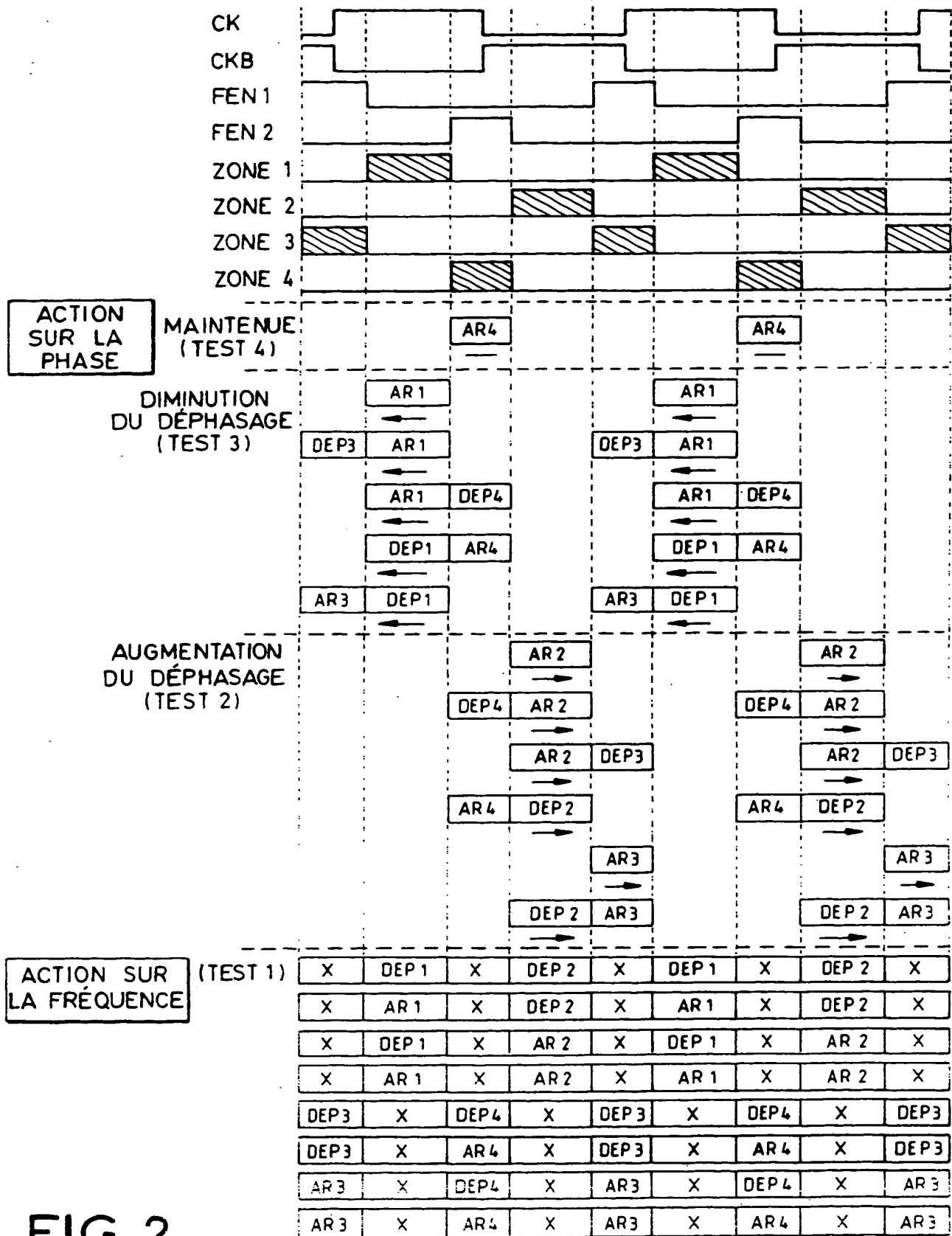


FIG. 2

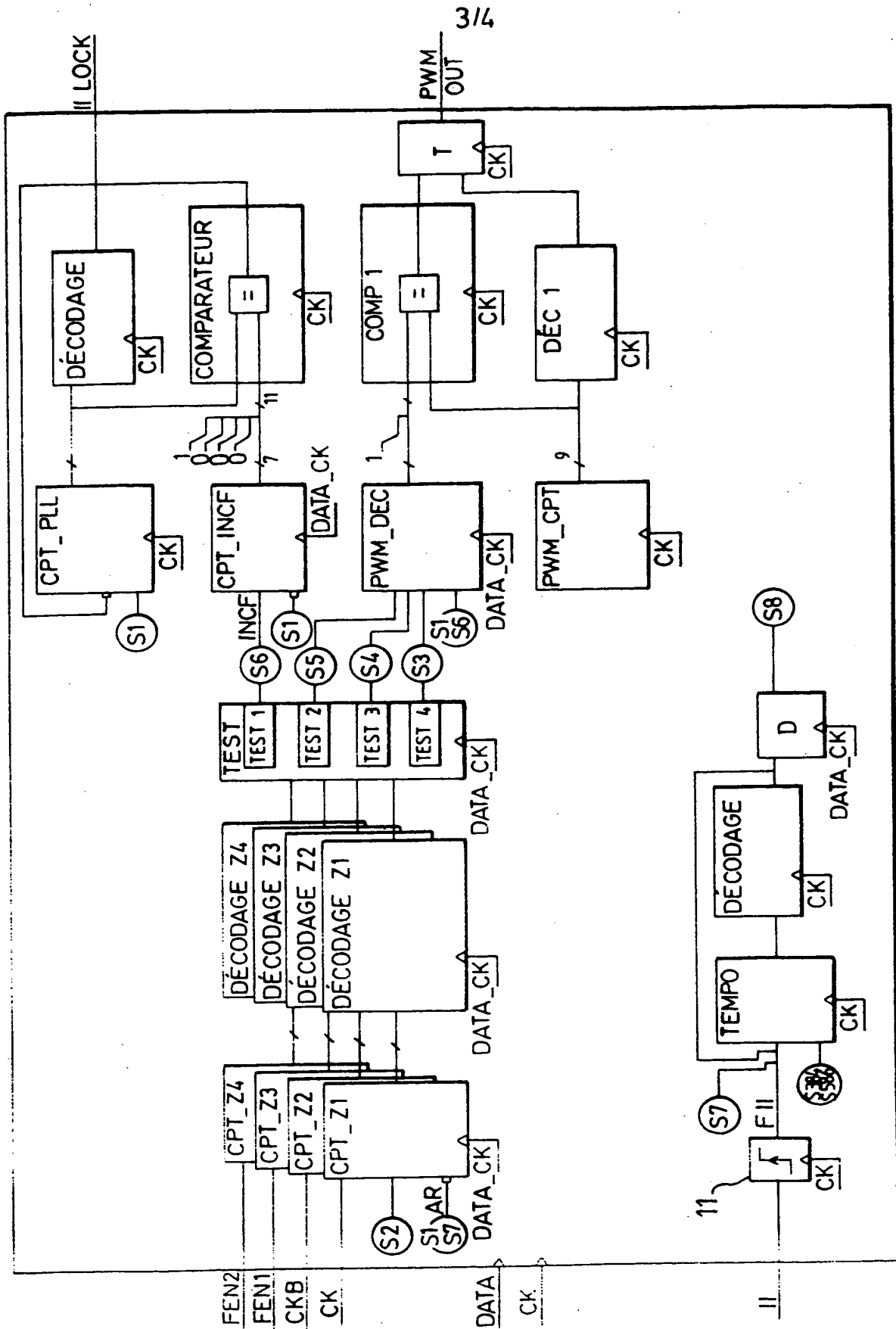


FIG.3

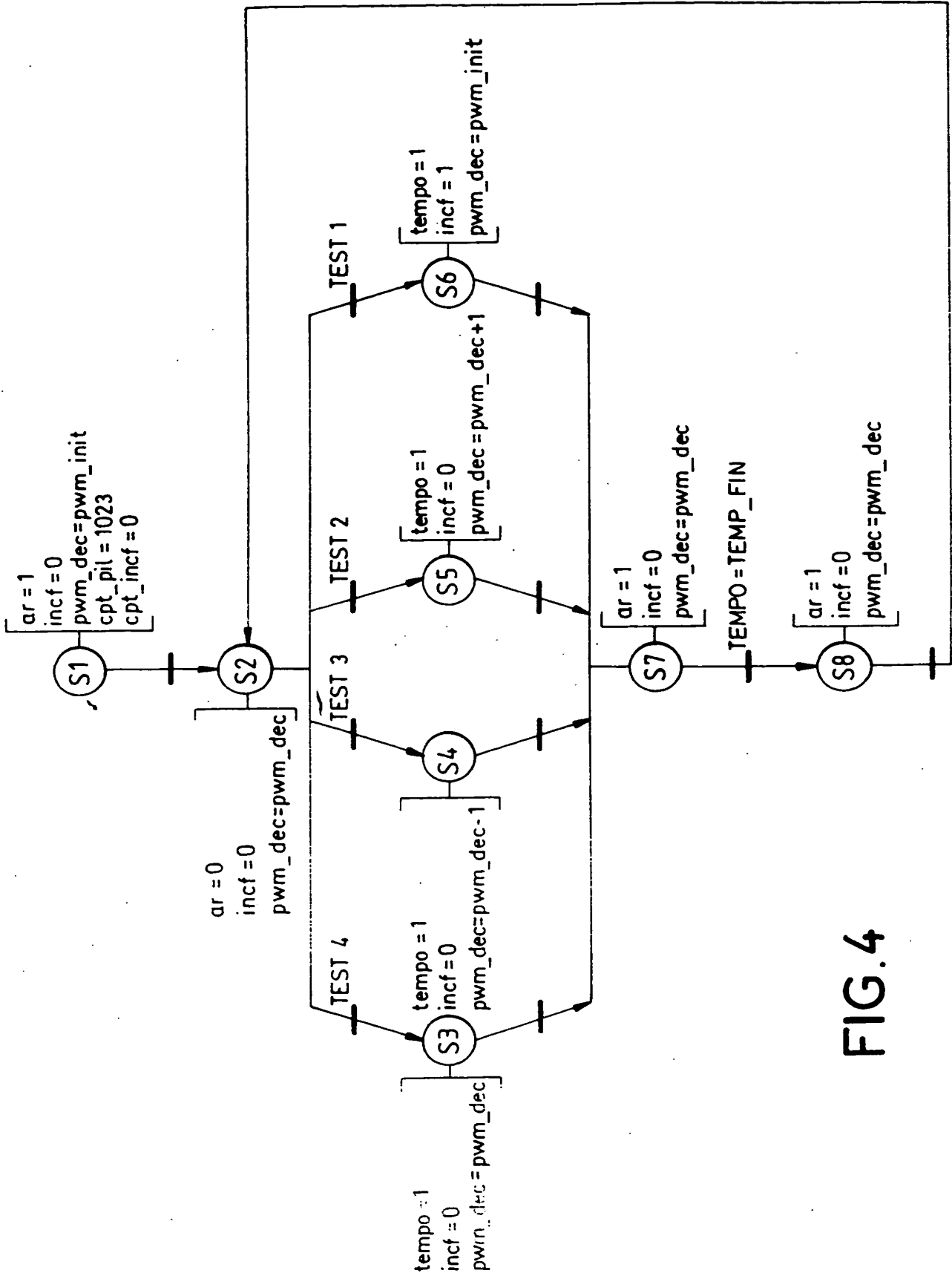


FIG.4

folly

This Page Blank (uspto)